

Japanese Laid-Open Patent Appln 62-66666

ABSTRACT

An active matrix substrate

An active matrix substrate in which a portion of the gate electrode of TFT that is a polycrystalline silicon film with a thickness of 500 Å overlaps the drain electrode of TFT through an insulating film, resulting in a capacitor.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-66666

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)3月26日

H 01 L 27/12  
G 02 F 1/133  
G 09 F 9/35  
H 01 L 29/78

3 2 7

7514-5F  
8205-2H  
6810-5C  
8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 マクティブマトリックス基板

⑮ 特 願 昭60-207079

⑯ 出 願 昭60(1985)9月19日

⑰ 発 明 者 宮 沢 和 加 雄 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑲ 代 理 人 弁理士 最 上 務

# 明 細 書

1 発明の名称 アクティブマトリックス基板

2 特許請求の範囲

a) 透明基板上に形成された薄膜トランジスタをマトリックス状に配設したマクティブマトリックス基板において、

b) 前記薄膜トランジスタのゲート電極の一部を500オングストローム以下の多結晶シリコン膜とし、

c) 隣接する薄膜トランジスタのドレイン電極と絶縁膜を介して重ねた事を特徴とするアクティブマトリックス基板。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、透明基板上に形成された薄膜トランジスタをマトリックス状に配設したマクティブマトリックス基板の表示特性向上に關するものであ

る。

(発明の概要)

透明基板上に形成された薄膜トランジスタをマトリックス状に配設したアクティブマトリックス基板において、ゲート電極の一部を厚くするとともに、隣接する薄膜トランジスタのドレイン電極と、絶縁膜を介して重ねる事により、透過光の透過率を低下させずに、ゲート電極とドレイン電極との間にコンデンサ容量を付与し、前記アクティブマトリックス基板の表示特性を向上させたものである。

(従来の技術)

従来のアクティブマトリックス基板は第3図の様にゲート電極24に、30000オングストローム(以下簡略の為 $\bar{A}$ と略記する)ないし、5000 $\bar{A}$ の厚みの多結晶シリコン膜を用い、隣接するドレイン電極26と絶縁膜25を介し重ねる事によりコンデンサ容量を確保していた。

(発明が解決しようとする問題点)

しかし、前述の従来技術では、充分なコンデン

す容量が確保できない。これは、ゲート電極に  $5000\text{\AA}$  ないし  $5000\text{\AA}$  の多結晶シリコン膜を用いているので元の透過率が悪く、開口面積を確保する為にドレイン電極との重なり部を広くできない事にある。ゲート配線の電気抵抗を考慮する場合、ゲート電極の厚みを厚くする事はできない。

本発明はこの様な問題点を解決するもので、その目的とするところは、開口率を確保するとともに、コンデンサ容量を大巾に増加させることのできるゲート電極構造を提供することにある。

#### 〔問題点を解決するための手段〕

a) 透明基板の上に形成された薄膜トランジスタをマトリフタス状に配設したアクティブマトリフタス基板において、

b) 前記薄膜トランジスタのゲート電極の一部を  $500\text{\AA}$  以下の多結晶シリコン膜とし、

c) 隣接する薄膜トランジスタのドレイン電極と絶縁膜を介して重ねた事を特徴とする。

#### 〔作用〕

本発明の作用を述べれば、薄膜トランジスタの

形成する事ができる。ここで2回目の多結晶シリコン膜の厚みを  $500\text{\AA}$  以下にする事により、元の透過率の良い電極を得る事ができる。

次に、第2図により、本発明の第2の実施例を工程順に示す。まずa図の如く、透明基板11上に多結晶シリコン膜の島12を形成したのちに、表面を酸化し、ゲート電極となる多結晶シリコン膜を全面に形成する。次にゲート電極エッチング用レジスト膜を形成し、前記レジスト膜をマスクに、多結晶シリコン膜のエッチング用の残り膜厚が  $500\text{\AA}$  になる様にエッチングを行う。次に、所望のパターンになるよう再度レジスト形成を行ない、残りの多結晶シリコン膜をエッチング除去すれば、厚みの異なるゲート電極がb図の如く形成できる。

次にイオン打込み法により、ソース・ドレイン拡散層を形成し、層間絶縁膜15を形成したのちに、コンタクトホールを開口し、ドレイン電極16を形成したものをc図に示す。

この様に、ゲート電極形成時にホトリソグラフ

ゲート電極と絶縁膜を介してドレイン電極を重ねた事により、コンデンサ容量を得ることができ、表示特性の向上を可能にできる。

#### 〔実施例〕

以下、本発明について、実施例に基づき詳細に説明する。

第1図は本発明の第1の実施例を工程順に示す図である。まずa図の如く、透明基板1上に多結晶シリコン膜の島2を形成したのちに、表面を酸化し、ゲート電極となる多結晶シリコン膜4を形成する。次にb図の様に  $500\text{\AA}$  以下の薄い多結晶シリコン膜を全面に形成したのちにホトリソグラフィ技術により所望の形状に加工する。次にイオン打込み法により、ソース・ドレイン拡散層を形成し層間絶縁膜5を形成したのちに、コンタクトホールを開口し、ドレイン電極6を形成したものをc図に示す。

この様に、ゲート電極となる多結晶シリコン膜4を形成した後、さらに多結晶シリコン膜を全面に形成する事により、厚みの異なるゲート電極を

イ技術で2回行なうことにより厚みの異なるゲート電極を形成することができる。

#### 〔発明の効果〕

以上述べたように、本発明は、ゲート電極の一部を厚くし、隣接するドレイン電極と絶縁膜を介して重ねた事により、ドレイン電極とゲート電極との間にコンデンサ容量が付与される。この様にして作成したアクティブマトリフタス基板のドレイン電極の電荷保持特性は非常に良く、たとえば液晶駆動用に用いた場合、画面像表示を行なつても問題とならない。

又、ゲート電極の一部を  $500\text{\AA}$  以下の多結晶シリコン膜としたため、元の透過率も80%が確保でき、表示特性には影響されない。さらに、多結晶シリコン膜は、高温の熱処理も行なうことができるので、プロセスに制約を与えない。

#### 4. 図面の簡単な説明

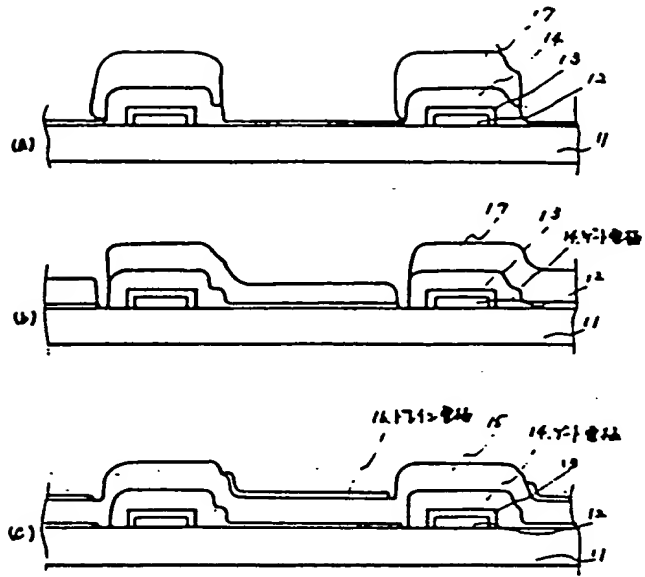
第1図(a)~(c)は、本発明による第1の実施例の工程図である。第1図(a)は平面図である。

第2図(a)~(c)は、本発明による第2の実施例の工程図である。

第3図(a)は、従来例の断面図である。第3図(b)はその平面図である。

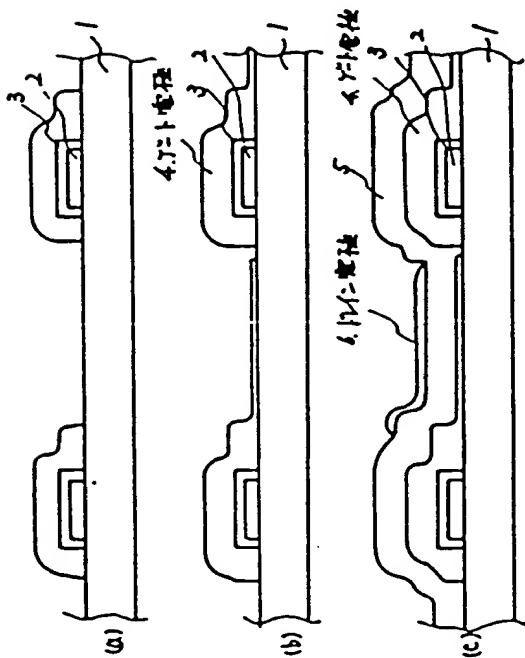
- 1、11、21は透明基板
- 2、12、22は絶縁素子となる多結晶シリコン膜
- 3、13、23はゲート絶縁膜
- 4、14、24はゲート電極
- 5、15、25は層間絶縁膜
- 6、16、26はドレイン電極
- 17はレジスト膜

以上



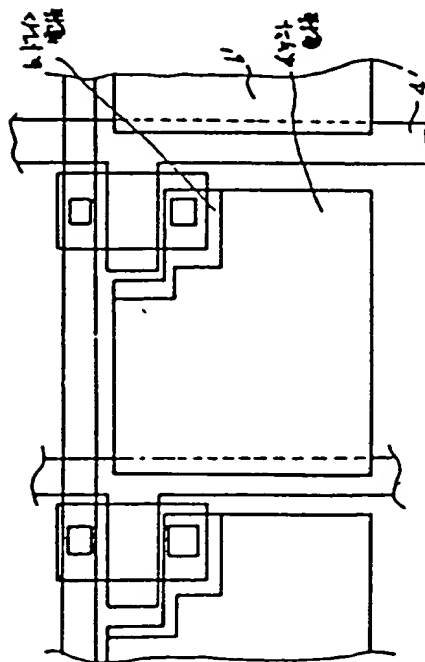
アモルファスシリコン素子の工程図  
第2図

出願人 株式会社東芝  
代理人 弁護士 森上 祐

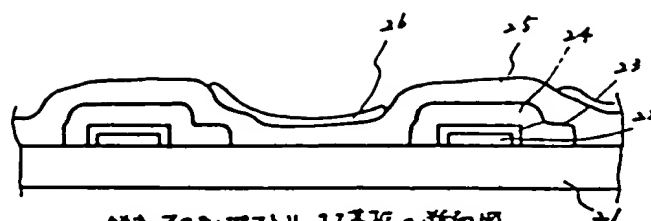


アモルファスシリコン素子の工程図

第1図

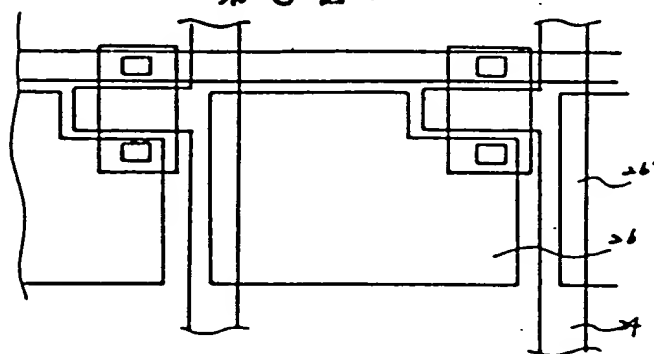


アモルファスシリコン素子の平面図  
第1図(d)



従来のアライメントマトリクス基板の断面図

第3図(a)



従来のアライメントマトリクス基板の平面図

第3図(b)